

## EDA Online

## 【DATE 06】「ネットワーク・オンチップの実用化は近い」、蘭Philipsに聞く

2006/03/19 23:11

将来、SoC(system on a chip)上に集積されるIPコアや回路ブロックの数が増加すれば、それらの接続手段はバスからネットワークに変わると言われている。3月上旬にドイツで開催されたLSIの設計とテストのイベント「DATE(Design, Automation & Test in Europe)06」の学会部門では、NoC(network on chip)がタイトルに付いたセッションや講演が数多くあった。

オランダ Royal Philips Electronics社で長年NoCの研究に携わってきたKees Goossens氏(Principal Research Scientist, Embedded Systems, Architectures on Silicon, Research Laboratories)によれば、バスからネットワークに変更することで、接続できるIPコア/ブロック数を増やせたり、やりとりできるデータの制約が減ったりするなどのメリットがある。「コンピュータ・システムからの経験によって、NoCの基本技術はそろっている」(同氏)。

## ネットワークの大きさがチップ上では問題に

「ただし、コンピュータ・システムでは機器の大きさに対してネットワークのそれはあまり関係がないのに対して、チップ上ではネットワークの大きさ(チップ面積)が問題になったり、消費電力が増えたりするといった課題が発生する。こうしたペナルティを許容範囲に抑えられるかどうか、NoCの実用化のカギ」(同氏)。

今回のDATE 06で、Philips Research Laboratoriesは、同社のデジタル・テレビ受像機向けSoC「Nexperia PNX8550(Viper2)」のコンパニオンASICのバスをNoCに設計し直し、消費電力やチップ面積における副作用についてシミュレーションで検討した。(講演番号9D-1、講演タイトル:Networks on Chips for High-End Consumer-Electronics TV System Architectures)。

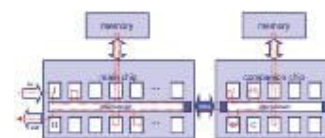
コンパニオンASICとは、メインのチップ(ここではPNX8550)と組み合わせて使う補助的なチップを指す。例えば複数の機器に共通の機能をメインのチップに集積し、機器ごとに異なる機能をコンパニオンASICに載せる。やみくもに1チップを図るよりも、トータルでコストを下げられるなどのメリットがあるという。コンパニオンASICの機能がそれほど変わらなくなれば(成熟してくれば)、メインのチップに集積する。

## 自社開発NoC技術を適用

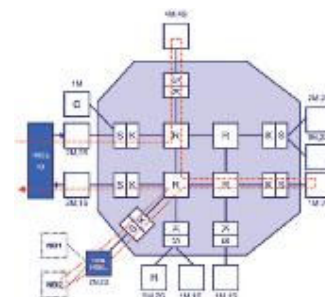
同社は、「Aethereal」と呼ぶNoC技術を開発しており、今回もそれを適



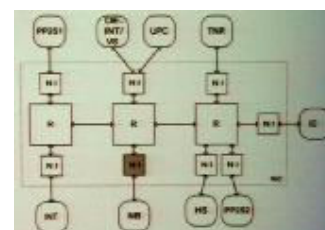
左がKees Goossens氏。右は9D-1の講演者のFrits Steenhof氏。両氏ともPhilips Research Laboratoriesの所属。日経マイクロデバイスが撮影。



今回NoC化を試したのは、右側のチップ(コンパニオンASIC)。左はPNX8550(Viper2)。Philipsのデータ。



NoC化したコンパニオンASICの構成。Philipsのデータ。



低消費電力指向のネットワークの構成。Philipsのデータ。

用している。Ætherealには、(1)性能(スループットなど)を保証できる、(2)リコンフィギュラブルなネットワークを構成できる、(3)オンチップおよびオフチップ(チップ間)を一つのネットワークとして扱えるといった特徴がある。こうしたÆtherealの特徴によって、コンパニオンASICが成熟した際に、メインのチップに無理なく統合できるという。

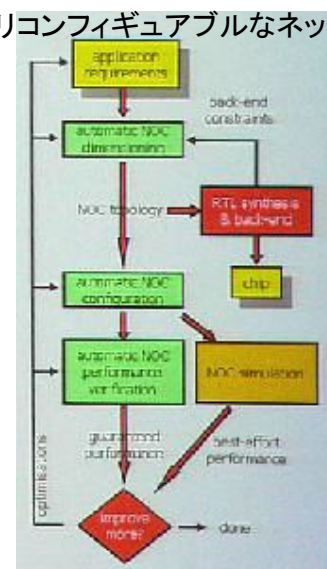
今回の発表で紹介されたコンパニオンASICは、システム・クロックが100MHzで、300M万ゲートの論理と1.3MビットのSRAMを集積しており、チップ面積は49mm<sup>2</sup>(0.11μmプロセス)である。これにNoCを搭載することで、チップ面積は4.4%増加した。またNoC部分の動作周波数は300MHzで、消費電力は10.8%増えた。そこで、ネットワークの構成を2×2から1×3に変更したところNoC部分の動作周波数は160MHzに下がり、消費電力の増加分を5.4%に抑えられた(ネットワークの自由度は下がる)。

今回の評価結果について、Goossenes氏は次のように言う。「ペナルティは製品のLSIに適用できるほど十分に小さい。設計も難しくはない。今回は大学の学生がNoCの勉強から始めたが、それでも8カ月で設計を終えた」(同氏)。すなわち設計手法は確立できたと同氏はいう。

次は実際にチップを作ってみて、歩留まりなど製造面でのNoCの影響について検討する計画である。同社では「製品設計に携わる技術者がNoCに対して高い関心をもっており、今回の検討結果を見て、実際に使ってみようという機運が高まる。早ければ2007年にも、そうなる考える」(同氏)とする。

NoC回りではどこに標準化が必要かを聞いたところ、「NoCのトポロジやインプリメンテーションは競争力のあるネットワークの構築に直接関係するので、こういう部分に標準規格ができるとは思わない。一方でアプリケーションから見たときのNoCへの要求仕様の記述を標準化することは意味がある。こうすれば、さまざまなNoCを簡単に試したり、NoCのIPのプロバイダが登場するなどの効果がある。ただし、そうした動きが具体化するのには、もう少し先だろう」(同氏)。

小島 郁太郎=日経マイクロデバイス



Philips Research LaboratoriesのNoC設計フロー。Philipsのデータ。

この記事のURL：<http://techon.nikkeibp.co.jp/article/NEWS/20060319/115115/>

Copyright © 1995-2009 Nikkei Business Publications, Inc. All rights reserved.

このページに掲載されている記事・写真・図表などの無断転載を禁じます。著作権は日経BP社、またはその情報提供者に帰属します。